

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 15 日
Application Date

申請案號：092125394
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 23 日
Issue Date

發文字號：09221077530
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 92125394

※申請日期： 92.9.15

※IPC 分類：

壹、發明名稱：(中文/英文)

場發射顯示器之薄膜電晶體結構

Thin Film transistor structure for field emission display

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

Industrial Technology Research Institute

代表人：(中文/英文) 翁政義 / Cheng-I Weng

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段一九五號

No. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu

國籍：(中文/英文) 中華民國 / R.O.C.

參、發明人：(共 5 人)

姓名：(中文/英文)

1. 黃俊堯 / Chun-Yao Huang

2. 陳政忠 / Cheng-Chung Chen

3. 王右武 / Yu-Wu Wang

4. 陳振銘 / Chen-Ming Chen

5. 曾懷遠 / Huai-Yuan Tseng

住居所地址：(中文/英文)

1. 新竹市光華二街 108 巷 14-3 號 2 樓

2F., No. 14-3, Lane 108, Kuang-Hua 2nd. St., Hsinchu

2. 宜蘭縣礁溪鄉德陽村 18 鄰奇立丹路 195 巷 29 號

No. 29, Lane 195, Chi Li Dan Rd., Te Yang Tsun, Chiao Hsi Shiang, Yilan Hsien

3. 新竹縣竹北市縣政 8 街 62 號 2 樓

2F., No. 62, Hsien-Cheng 8 St., Chu Pei City, Hsinchu Hsien

4. 台中市瀋陽北路 160 號

No. 160, Shengyang North Rd., Taichung

5. 桃園縣平鎮市高雙路 8 巷 36 號 4 樓

4F., No. 36, Lane 8, Kao-Shuang Rd., Ping Jeng City, Taoyuan Hsien

國 籍：(中文/英文) 1.2.3.4.5. 中華民國 / R.O.C.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 無

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係有關於一種場發射顯示器之薄膜電晶體結構，其特徵在於包括一具圖樣之第一閘極金屬層、位於第一閘極金屬層下方之第一閘極絕緣層、一具圖樣之第二閘極金屬層、以及位於第二閘極金屬層下方之第二閘極絕緣層；其中第二閘極絕緣層之厚度大於第一閘極絕緣層之厚度；且在施於二閘極金屬層電壓大於臨界電壓時，位在第一閘極金屬層下方之多晶矽層通道區之跨壓絕對值低於位在第二閘極金屬層下方之多晶矽層通道區之跨壓絕對值。此結構減少跨在電晶體上之不同端間之電壓差，使電晶體可耐高壓，而使原有之電晶體受到良好保護。

陸、英文發明摘要：

A thin film transistor structure for field emission display includes a patterned first gate metal layer, a first dielectric layer under the first patterned gate metal layer, a second patterned gate metal layer, and a second dielectric layer under the second patterned gate metal layer; wherein the thickness of second dielectric layer is thicker than that of first dielectric layer and the absolute voltage in the channel under the first patterned gate metal layer is lower than that under the second patterned gate metal when both gate metal layers are applied voltage higher than threshold voltage. Due to such kind of structure suitable for high voltage operation, the thin film transistor for field emission display can be well protected from failure.

柒、指定代表圖：

(一)本案指定代表圖為：圖(2)。

(二)本代表圖之元件代表符號簡單說明：

200	薄膜電晶體	210	基板	220	多晶矽層
230	第一閘極絕緣層	240	第一閘極金屬層	250	第二閘極絕緣層
260	第二閘極金屬層	270	源極	280	汲極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

5

無

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種薄膜電晶體結構與其製作方法，尤指一種適用於場發射顯示器之薄膜電晶體結構與其製作方法。

【先前技術】

顯示器在人們現今生活中的重要性日益增加，除了使用電腦或網際網路外，電視機、手機、個人數位助理(PDA)、車用資訊系統等，均須透過顯示器控制來傳遞訊息。基於重量、體積、及健康方面的理由，人們採用平板顯示器的比率越來越高。在眾多新興的顯示器技術中，場發射顯示(field emission display)由於具有映像管高畫質的優點，較傳統液晶面板的視角不清、使用溫度範圍過小及反應慢而言，具有高製成率、高速反應、良好的協調顯示性能，及超過 100fL 的高亮度、輕薄構造、色溫範圍大、高行動效率、良好的偏斜方向辨認性等優點。也因為 FED 為自體發光的平面顯示器，結構中使用高效率螢光膜技術，所以即使在戶外陽光下使用，依然能夠提供優異的亮度表現，被視為相當有機會與液晶顯示技術競爭，甚至將其取代的新技術。

場發射顯示器的原理類似傳統陰極射線管(cathode-ray tube, CRT)，均為在真空中發射電子撞擊磷光面板。然而在

構造上，陰極射線管由單一電子槍發射電子束，透過偏向板控制電子束的方向；場發射顯示器則由數十萬個主動冷發射子所構成，每一畫素有固定獨立的電子發射子，毋須使用偏向板。在工作電壓方面，陰極射線管所需電壓約在
5 15-30KV 左右，場發射顯示器之陰極電壓則僅小於 1KV。

在美國專利 US6,525,453 中，場發射顯示器如圖 1 所示，係由複數個薄膜電晶體 22、複數個奈米碳管 24、與一具有螢光層 39 之透明電極 38 所組成，其中奈米碳管 24 經由通道 42 與薄膜電晶體 22 之汲極 32 相連。然而在一個畫
10 素中，僅使用一個薄膜電晶體 22 控制流經場發射顯示器電流的大小，當陽極偏壓增大，要將流經場發射顯示器之電流關掉時，場發射顯示器會有一相當大之壓降跨在薄膜電晶體元件上，此時元件會發生接面擊穿效應(punch off)或閘極氧化層崩潰(gate dielectrics breakdown)的現象，而使得電
15 晶體元件失效導致場發射顯示器的畫素無法正常操作。

【發明內容】

本發明之主要目的係在提供一種場發射顯示器之薄膜電晶體結構，俾能利用一可調變之耐高電壓元件達到分壓
20 之目的，減少跨越在電晶體元件上之不同端間之電壓差，進而防止電晶體因高電壓操作而損毀，保護其驅動元件，不受高電壓操作而有嚴重退化現象產生。再利用此一元件應用於主動式場發射顯示器之畫素中之電壓控制電流源元件，提供場發射元件之穩定電流源。

本發明之另一目的係在提供一種製作場發射顯示器之薄膜電晶體方法，俾能利用製程中整合金屬連接導線作為次閘極 (subgate)，減少跨越在電晶體元件上之不同端間之電壓差，進而防止電晶體因高電壓操作而損毀，且不需額外光罩即可達成此功能。由於次閘極之閘極氧化層厚度較厚，所形成之電晶體可耐高壓，而使原有之閘極電晶體受到良好保護，減少元件失效。

為達成上述目的，本發明之場發射顯示器之薄膜電晶體結構，包括一基板，具有一薄膜電晶體半導體區域；一具圖樣之多晶矽層，形成於該基板表面之該薄膜電晶體半導體區域中，該多晶矽層並具有以離子摻雜之一源極區域與一汲極區域，以及介於該源極區域與該汲極區域間之一通道區域；一具圖樣之第一閘極金屬層，係位於該多晶矽層上方；一第一閘極絕緣層，夾置於該多晶矽層與該第一閘極金屬層間；一具圖樣之第二閘極金屬層，係位於該多晶矽層上方；一第二閘極絕緣層，位於該多晶矽層與該第二閘極金屬層之間；其中夾置於該多晶矽層與該第二閘極金屬層間之該第二閘極絕緣層之厚度大於夾置於該多晶矽層與該第一閘極金屬層間之該第一閘極絕緣層之厚度；且在施於該二閘極金屬層電壓大於或小於臨界電壓時，位在該第一閘極金屬層下方之該多晶矽層通道區域之跨壓絕對值低於位在該第二閘極金屬層下方之該多晶矽層通道區域之跨壓絕對值。

為達成上述目的，本發明一種製作場發射顯示器之薄膜電晶體方法，其步驟包括(a)提供一基板；(b)形成一具圖樣之多晶矽層於該基板上；(c)形成一第一閘極絕緣層；(d)形成一具圖樣之第一閘極金屬層；(e)形成一第二閘極絕緣層；(f)形成一具圖樣之第二閘極金屬層。其中夾置於該多晶矽層與該第二閘極金屬層間之該第二閘極絕緣層之厚度大於夾置於該多晶矽層與該第一閘極金屬層間之該第一閘極絕緣層之厚度；且在施於該二閘極金屬層電壓大於或小於臨界電壓時，位在該第一閘極金屬層下方之該多晶矽層通道之跨壓絕對值低於位在該第二閘極金屬層下方之該多晶矽層通道之跨壓絕對值。

【實施方式】

本發明之場發射顯示器之薄膜電晶體結構，在一畫素中包括一材料選自於玻璃、塑膠、石英、矽或金屬之基板；一形成於基板表面之薄膜電晶體半導體區域之多晶矽層，其具有離子摻雜之一源極區域與一汲極區域；一位於多晶矽層上方閘極區域中之第一閘極金屬層；一夾置於多晶矽層與第一閘極金屬層間之第一閘極絕緣層；一位於多晶矽層上方閘極區域中之第二閘極金屬層；一位於多晶矽層與第二閘極金屬層間之第二閘極絕緣層；其中夾置於多晶矽層與第二閘極金屬層間之第二閘極絕緣層之厚度大於夾置於多晶矽層與第一閘極金屬層間之該第一閘極絕緣層之厚

度，而使得第二閘極絕緣層足以抵抗因高電壓所引發之閘極絕緣層電壓崩潰。

關於薄膜電晶體結構之各部位相對位置方面：第一閘極金屬層投影至該多晶矽層之面積與該第二閘極金屬層投影至該多晶矽層之面積可為分離、重疊、或相鄰；而第一閘極金屬層與第二閘極金屬層間，兩者可相連成為短路(shorts)或不相連成為開路(opens)；第一閘極金屬層或第二閘極金屬層投影至多晶矽層之面積與源極區域或汲極區域之相對位置並無限制，其可為重疊結構或非重疊結構。

該場發射顯示器之薄膜電晶體型態並無限制，可為P型MOS或N型MOS，且薄膜電晶體之主動層材料亦無限制，可為任何半導體或化合物半導體。在薄膜電晶體操作時，位於第一閘極金屬層下方之多晶矽層通道之跨壓絕對值低於位於第二閘極金屬層下方之多晶矽層通道之跨壓絕對值；亦即在N型MOS中，第一閘極金屬層相對於第二閘極金屬層距離源極區域較近，而在P型MOS中，第一閘極金屬層相對於第二閘極金屬層距離汲極區域較近。

本發明之製作場發射顯示器之薄膜電晶體方法，步驟包括提供一材料選自於玻璃、塑膠、石英、矽或金屬之基板；形成一具圖樣之多晶矽層於該基板上；形成一第一閘極絕緣層；形成一具圖樣之第一閘極金屬層；形成一第二閘極絕緣層；形成一具圖樣之第二閘極金屬層；其中夾置於該多晶矽層與該第二閘極金屬層間之該第二閘極絕緣層之厚度大於夾置於該多晶矽層與該第一閘極金屬層間之該

第一閘極絕緣層之厚度；該薄膜電晶體操作時，位在該第一閘極金屬層下方之該多晶矽層通道之跨壓絕對值低於位在該第二閘極金屬層下方之該多晶矽層通道之跨壓絕對值。

- 5 利用此一具有次閘極之電晶體比以單一閘極金屬層之電晶體具有更大之導通電阻(R_{ch}) 與非導通電阻(I_{off})，此結構會使大部分電壓落在以第二閘極金屬層之電晶體上，而使得跨在第一閘極金屬層之電晶體上之電壓因而減少。又因為第二閘極金屬層之電晶體具有較厚閘極氧化層，足以抵抗因為高電壓所引發之閘極絕緣層電壓崩潰而導致元
- 10 件損毀。而在製程方面，第二閘極金屬層較佳為與其他後續製程中之金屬導線同時形成，例如與連接源極區域、汲極區域、或閘極區域之導線同時形成，亦即利用單一閘極電晶體製程方法上，第一閘極金屬層與導線層間之層間絕
- 15 緣層(interlayer dielectrics)作為第二閘極絕緣層，達成製作含有一次閘極結構之薄膜電晶體，無須額外加光罩，故在場發射顯示器製程中，具次閘極結構之電晶體與原單一閘極電晶體之製程步驟數目相同。

- 20 本發明之具圖樣之第一閘極金屬層與第二閘極金屬層之形成方法並無限制，其可為任何型態之電晶體製作流程，較佳為經由黃光與蝕刻製程步驟形成。而源極區域與汲極區域之形成，較佳為利用離子佈植形成，該源極區域與汲極區域之製作流程並無限制，較佳為在具圖樣之第一閘極金屬層形成後實施。本發明之薄膜電晶體製作方法，

在具圖樣之第二閘極金屬層形成後，較佳為再沈積一保護層於該薄膜電晶體上，以保護電晶體；更佳為再形成一導電玻璃層(ITO)或一奈米碳管於保護層上，以形成場發射顯示器之電極，而其中該保護層內含有一通道，使場發射顯示器之電極與薄膜電晶體之汲極相接。

為能讓 貴審查委員能更瞭解本發明之技術內容，特舉三較佳具體實施例說明如下。

實施例1:薄膜電晶體結構

本實施例中之場發射顯示器之薄膜電晶體200為一N型MOS，如圖2所示，其製程方法包括提供一玻璃基板210；形成一具圖樣之多晶矽層220於該基板210上；沈積一第一閘極絕緣層230；形成一具圖樣之第一閘極金屬層240、多晶矽層220之源極區域270、與多晶矽層220之汲極區域280；沈積一第二閘極絕緣層250；形成一具圖樣之第二閘極金屬層260；其中夾置於多晶矽層220與第二閘極金屬層260間之第二閘極絕緣層250之厚度大於夾置於多晶矽層220與第一閘極金屬層間240之該第一閘極絕緣層230之厚度；薄膜電晶體200中，第一閘極金屬層240相對於第二閘極金屬260較接近於電晶體之源極270。

第一閘極金屬層240投影至多晶矽層220之區域與第二閘極金屬層260投影至多晶矽層220之區域，互不重疊，其最接近之距離為 x ；而第一閘極金屬層240與第二閘極金屬層260間，兩者並不相連成為一開路(opens)；第一閘極金屬

層240或第二閘極金屬層260投影至多晶矽層之面積與源極區域270或汲極區域280互相相連但非重疊。

本實施例中製作場發射顯示器之薄膜電晶體利用具有次閘極（第二閘極金屬層260）之電晶體比以單一閘極金屬層之電晶體具有更大之導通電阻(R_{ch})與非導通電阻(I_{off})，此結構會使大部分電壓落在第二閘極金屬層260上，而使得跨在第一閘極金屬240層之電晶體上之電壓因而減少。又因為第二閘極金屬層260之電晶體具有較厚閘極氧化層250，足以抵抗因為高電壓所引發之閘極絕緣層電壓崩潰而導致元件損毀。

實施例2:薄膜電晶體結構

本實施例為一場發射顯示器之製作流程，其結構如圖3所示，其中薄膜電晶體300為一N型MOS，其製程方法包括提供一玻璃基板310；形成一具圖樣之多晶矽層320於該基板310上；沈積一第一閘極絕緣層330；形成具圖樣之第一閘極金屬層340、多晶矽層320之源極370、與多晶矽層320之汲極380；沈積一第二閘極絕緣層350，並蝕刻第二閘極絕緣層350，使該絕緣層內具有與電晶體300之汲極380相連之通道；沈積導電金屬層以形成具圖樣之第二閘極金屬層360與汲極導線層400；再沈積一保護層410於該薄膜電晶體300上，以保護電晶體；再形成一導電玻璃層(ITO)420於保護層410上，以形成場發射顯示器之電極，其中該汲極導線層400與該導電玻璃層(ITO)420相連（未顯示於圖中）。

薄膜電晶體300結構中，夾置於多晶矽層320與第二閘極金屬層360間之第二閘極絕緣層350之厚度大於夾置於多晶矽層320與第一閘極金屬層間340之第一閘極絕緣層330之厚度；薄膜電晶體300中，第一閘極金屬層340相對於第二閘極金屬層360較接近於電晶體之源極370。第一閘極金屬層340投影至多晶矽層320之區域與第二閘極金屬層360投影至多晶矽層320之區域重疊，其重疊寬度為x；而第一閘極金屬層340與第二閘極金屬層360間，兩者並不相連成為一開路(opens)；第一閘極金屬層340或第二閘極金屬層360投影至多晶矽層之面積與源極區域370或汲極區域380互相相連但非重疊。

本實施例中製作場發射顯示器之薄膜電晶體利用具有次閘極（第二閘極金屬層360）之電晶體比以單一閘極金屬層之電晶體具有更大之導通電阻(R_{ch})與非導通電阻(I_{off})，此結構會使大部分電壓落在第二閘極金屬層360上，而使得跨在第一閘極金屬340層之電晶體上之電壓因而減少。又因為第二閘極金屬層360之電晶體具有較厚閘極氧化層350，足以抵抗因為高電壓所引發之閘極絕緣層電壓崩潰而導致元件損毀。並且在製程整合方面，第二閘極金屬層360因與連接源極區域、汲極區域、或閘極區域之導線同時形成，與單一閘極電晶體製程流程比較，製程步驟數目相同，無須額外加光罩。

實施例3:畫素設計

本實施例為一場發射顯示器之畫素電路架構，如圖4所示，其中薄膜電晶體140係利用實施例1之結構，在畫素電路中係配合一儲存畫素資料之電容110、一開關電晶體120、一場發射顯示器電極130所構成，其中開關電晶體120之主要功能為控制該畫素資料之寫入，而電容其主要功能為儲存所寫入之畫素資料用，薄膜電晶體之第一閘極與第二閘極為電壓控制電流源，用來控制流經FED電流大小，電容110與薄膜電晶體140之源極區域相連，薄膜電晶體140之汲極區域則與該場發射顯示器之電極130相連。開關電晶體120之汲極係與電容110、薄膜電晶體之第一閘極、與薄膜電晶體之第二閘極相連，開關電晶體120之汲極與閘極則分別與資料線(data line)150與掃瞄線(Scan line)160相接。當開關電晶體120藉由掃瞄線160開啓時，電容110隨即儲存由資料線150所傳入之畫素資料，之後，當開關電晶體120關閉時，薄膜電晶體之第一閘極與第二閘極藉由電容110控制流經薄膜電晶體140之通道電流大小。由於第二閘極所形成之電晶體絕緣層厚度較厚可耐高壓，使以第一閘極為閘極電晶體受到良好保護。此外，在製作流程上，該薄膜電晶體140之第二閘極可與資料線150在同一製程步驟中完成，可簡化具次閘極電晶體之製程步驟。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1係習知之場發射顯示器之薄膜電晶體結構示意圖。

圖2係本發明場發射顯示器之薄膜電晶體結構一較佳實施例之示意圖。

- 5 圖3係本發明場發射顯示器之薄膜電晶體結構另一較佳實施例之示意圖。

圖4係利用本發明薄膜電晶體所構成之畫素電路架構圖。

10 【圖號說明】

22	薄膜電晶體	24	奈米碳管	26	基板
30	源極	32	汲極	34	閘極
38	透明電極	39	螢光層	42	通道
200	薄膜電晶體	210	基板	220	多晶矽層
230	第一閘極絕緣層	240	第一閘極金屬層	250	第二閘極絕緣層
260	第二閘極金屬層	270	源極	280	汲極
300	薄膜電晶體	310	基板	320	多晶矽層
330	第一閘極絕緣層	340	第一閘極金屬層	350	第二閘極絕緣層
360	第二閘極金屬層	370	源極	380	汲極
400	汲極導線層	410	保護層	420	導電玻璃層

110 電容

120 開關電晶體

130 場發射顯示器
電極

140 薄膜電晶體

150 資料線

160 掃描線

拾、申請專利範圍：

1. 一種場發射顯示器之薄膜電晶體結構，包括：

一基板，具有一薄膜電晶體半導體區域；

一具圖樣之多晶矽層，形成於該基板表面之該薄膜電
5 晶體半導體區域中，該多晶矽層並具有以離子摻雜之一源
極區域與一汲極區域，以及介於該源極區域與該汲極區域
間之一通道區域；

一具圖樣之第一閘極金屬層，係位於該多晶矽層上方；

一第一閘極絕緣層，夾置於該多晶矽層與該第一閘極
10 金屬層間；

一具圖樣之第二閘極金屬層，係位於該多晶矽層上方；

一第二閘極絕緣層，位於該多晶矽層與該第二閘極金
屬層之間；

其中夾置於該多晶矽層與該第二閘極金屬層間之該第
15 二閘極絕緣層之厚度大於夾置於該多晶矽層與該第一閘極
金屬層間之該第一閘極絕緣層之厚度；且在施於該二閘極
金屬層電壓大於或小於臨界電壓時，位在該第一閘極金屬
層下方之該多晶矽層通道區域之跨壓絕對值低於位在該第
二閘極金屬層下方之該多晶矽層通道區域之跨壓絕對值。

20 2. 如申請專利範圍第1項所述之薄膜電晶體結構，其
中該基板材料選自於玻璃、塑膠、石英、矽或金屬。

3. 如申請專利範圍第1項所述之薄膜電晶體結構，其
中該薄膜電晶體為一P型MOS或N型MOS。

4. 如申請專利範圍第1項所述之薄膜電晶體結構，其中該第一閘極金屬層與該第二閘極金屬層為短路(shorts)或開路(opens)。

5 5. 如申請專利範圍第1項所述之薄膜電晶體結構，其中該第一閘極金屬層投影至該多晶矽層之面積與該第二閘極金屬層投影至該多晶矽層之面積為分離、重疊、或相鄰。

10 6. 如申請專利範圍第1項所述之薄膜電晶體結構，其中該第一閘極金屬層或該第二閘極金屬層投影至該多晶矽層之面積與該源極區域與該汲極區域為重疊結構或非重疊結構。

7. 如申請專利範圍第1項所述之薄膜電晶體結構，其中該多晶矽層之源極區域係配合與一儲存畫素資料之電容相連，而該多晶矽層之汲極區域則與該場發射顯示器之一電極相連。

15 8. 如申請專利範圍第7項所述之薄膜電晶體結構，其中該電容、該薄膜電晶體之第一閘極金屬層與第二閘極金屬層再與一開關電晶體之汲極相連，該開關電晶體之源極則與場發射顯示器之一資料線相連，或者該電容、該薄膜電晶體之第一閘極金屬層與第二閘極金屬層再與一開關電
20 晶體之源極相連，該開關電晶體之汲極則與場發射顯示器之一資料線相連；而該開關電晶體之閘極與場發射顯示器之一掃描線相連。

9. 一種製作場發射顯示器之薄膜電晶體方法，其步驟包括：

- (a)提供一基板；
- (b)形成一具圖樣之多晶矽層於該基板上；
- (c)形成一第一閘極絕緣層；
- (d)形成一具圖樣之第一閘極金屬層；
- 5 (e)形成一第二閘極絕緣層；
- (f)形成一具圖樣之第二閘極金屬層。

其中夾置於該多晶矽層與該第二閘極金屬層間之該第二閘極絕緣層之厚度大於夾置於該多晶矽層與該第一閘極金屬層間之該第一閘極絕緣層之厚度；且在施於該二閘極金屬層電壓大於或小於臨界電壓時，位在該第一閘極金屬層下方之該多晶矽層通道之跨壓絕對值低於位在該第二閘極金屬層下方之該多晶矽層通道之跨壓絕對值。

10

10. 如申請專利範圍第9項所述之方法，其中該基板材料選自於玻璃、塑膠、石英、矽或金屬。

15 11. 如申請專利範圍第9項所述之方法，其中該薄膜電晶體為一P型MOS或N型MOS。

12. 如申請專利範圍第9項所述之方法，其中該第一閘極金屬層與該第二閘極金屬層為短路(shorts)或開路(opens)。

20 13. 如申請專利範圍第9項所述之方法，其中當該第一閘極金屬層投影至該多晶矽層之面積與該第二閘極金屬層投影至該多晶矽層之面積為分離、重疊、或相鄰。

14. 如申請專利範圍第9項所述之方法，其中於步驟(d)或步驟(e)後，更包含一步驟(d1)或(e1)以使該多晶矽層中形成一具圖樣之源極區域與汲極區域。

5 15. 如申請專利範圍第14項所述之方法，其中該源極區域與汲極區域之離子摻雜係利用離子佈植形成。

16. 如申請專利範圍第14項所述之方法，其中於步驟(e1)後更包含一步驟(e2)，利用黃光蝕刻製程於源極區域、汲極區域、或閘極區域上方形成複數個接觸孔，使步驟(f)中該具圖樣之第二閘極金屬層與連接該源極區域、汲極區域、
10 或閘極區域之導線同時形成。

17. 如申請專利範圍第14項所述之方法，其中該第一閘極金屬層或該第二閘極金屬層投影至該多晶矽層之面積與該源極區域與該汲極區域為重疊結構或非重疊結構。

18. 如申請專利範圍第9項所述之方法，其中於步驟(f)
15 後更包含一步驟(g)，以形成一保護層於該薄膜電晶體上。

19. 如申請專利範圍第18項所述之方法，其中於步驟(g)後更包含一步驟(h)，以形成一導電玻璃層(ITO)。

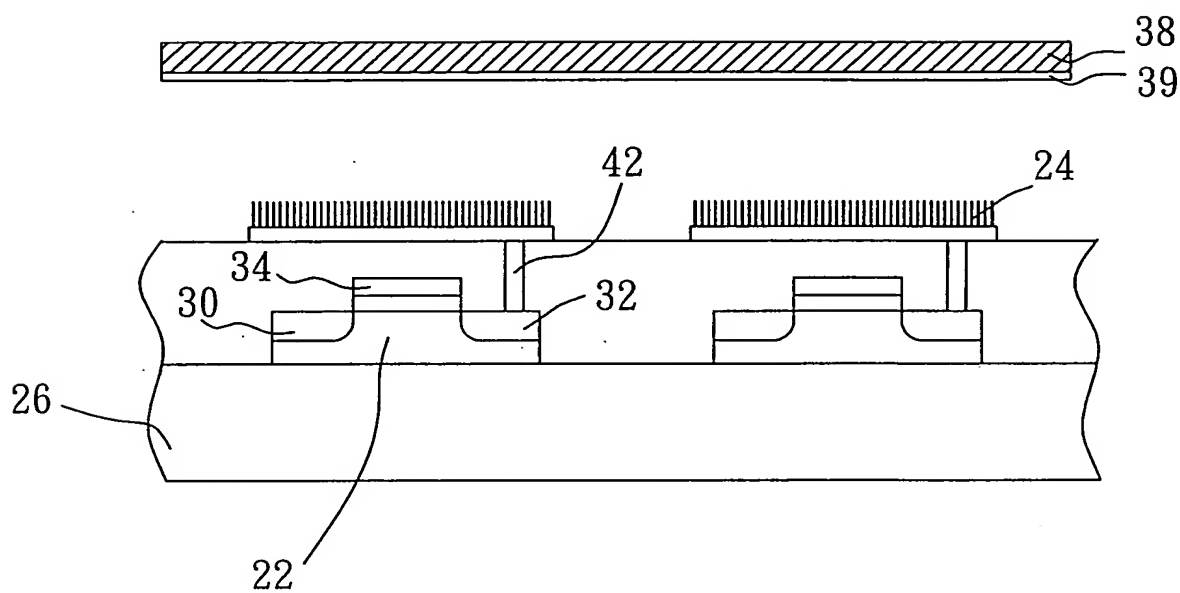


圖1

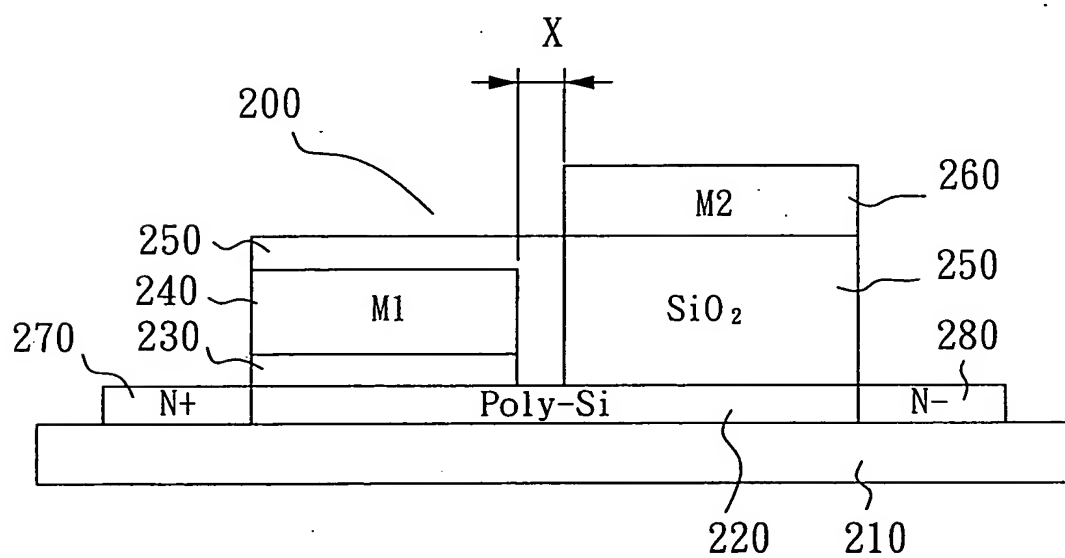


圖2

